실험물리학 2

9주차 예비 레포트

<디지털 논리회로의 응용–카운터/시프트레지스터>

이름: 김나현

학번: 20191286

분반: 2분반

담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

제출일자: 2020년 11월 18일 수요일

1. 실험 목표
2. 비동기식 카운터와 동기식 카운터의 원리에 대해 이해할 수 있다.
3. 시프트 레지스터의 원리에 대해 이해할 수 있다.
4. 실험 이론
5. 카운터

입력 및 현재 상태에 따라 출력 및 다음 상태가 결정되는 논리 회로를 순서 논리 회로라고 한다. 이전 실험에서는 내부 기억소자의 형태에 따라 구분하는 래치와 플립플롭에 대해 알아보았고, 본 실험에서는 타이밍에 따라 구분하는 비동기 카운터와 동기 카운터에 대해 알아볼 것이다. 이전 실험에서 알아본 플립플롭들이 결합하여 카운터와 시프트 레지스터 등을 구성하게 된다.

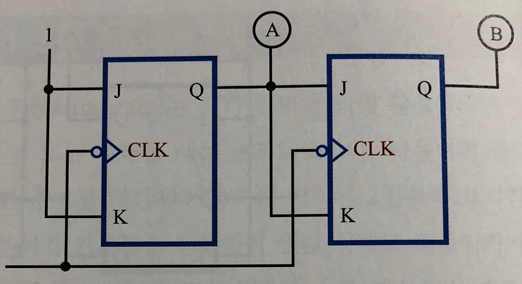
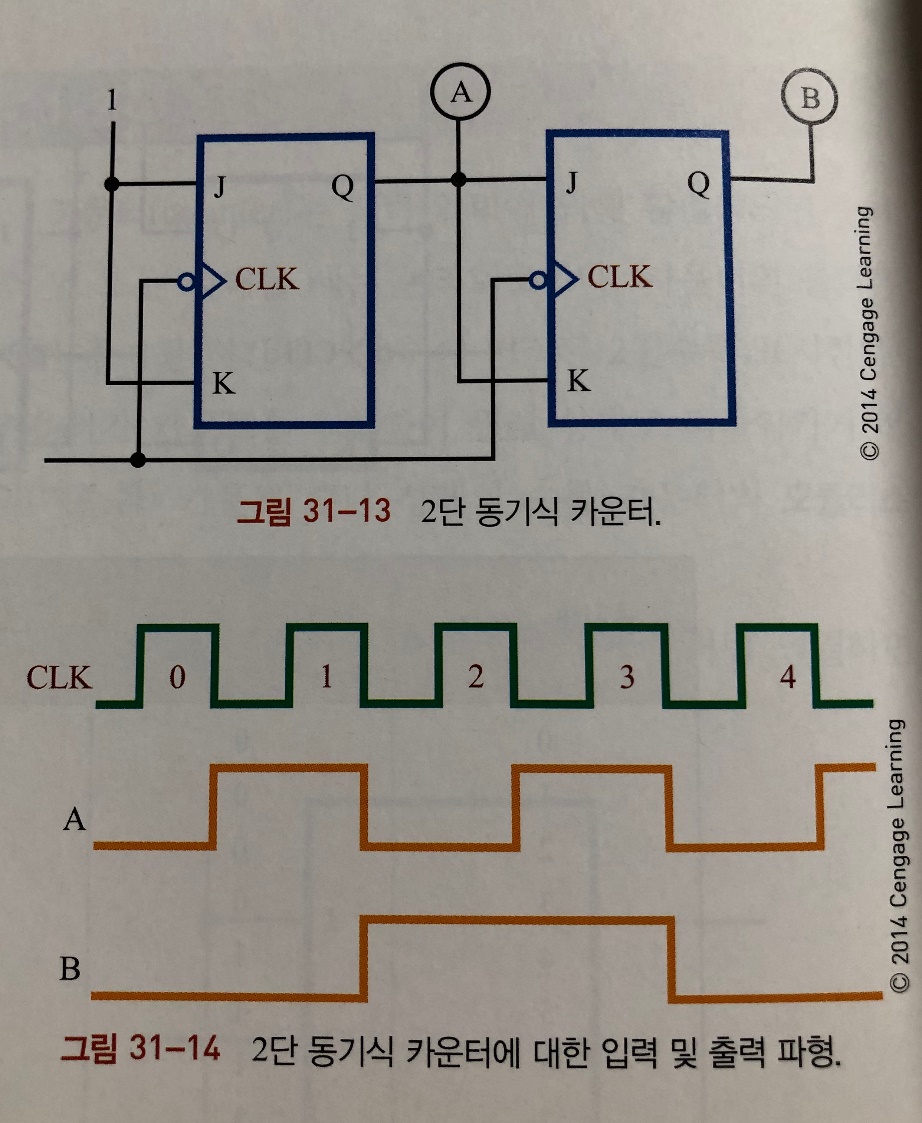
카운터란 클럭 펄스의 에지에 의해 트리거되면 수자의 열 또는 상태를 세는 논리회로로, 어떤 주어진 시간에 카운터에 저장된 2진수를 표시함으로써 출력이 된다. 카운터는 크게 동기 카운터(synchronous counter)와 비동기 카운터(asynchronous counter)로 나뉜다.

카운터 중, 동기 카운터는 연속적인 클럭 입력에 다라 상태가 고정된 시퀀스에 따른 움직임을 보이는 장치로, 주로 플립플롭에 저장된 내용이 시스템의 상태로 출력되게 된다. 동기 카운터에서는 클럭 입력을 카운터의 각 단에 연결함으로써 각 단에 동시에 클럭 펄스가 인가하게 되고, 각 플립플롭이 병렬로 연결되어 있어서 병렬 카운터라고 불리기도 한다.

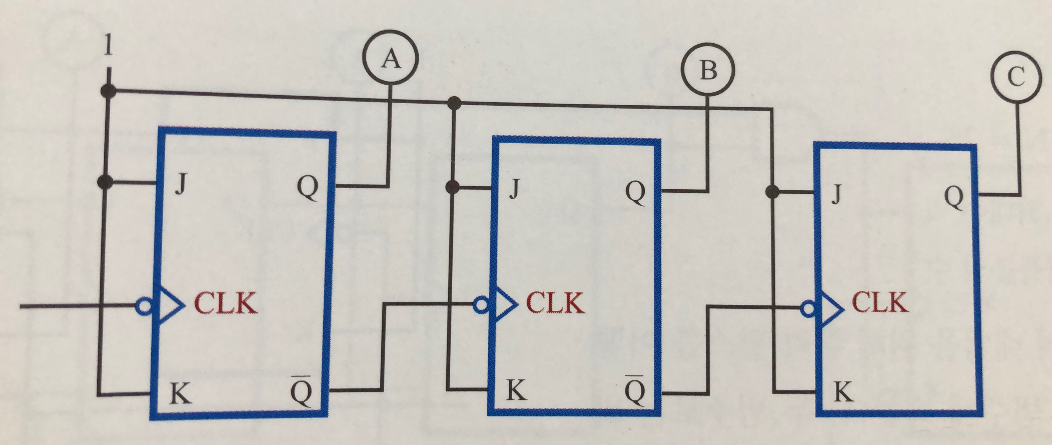
반면, 비동기 카운터는 클럭의 입력이 필요하지 않는, 즉 입력에 의해서만 상태가 바뀌는 카운터이다. 비동기 카운터는 클럭 펄스가 각 단의 클럭 입력에 연결되지 않아 입력 클럭 펄스에 의해 제 1플립플롭이 영향을 받고, 제 1플립플롭을 통해 지연으로 인해 그 영향이 제 2플립플롭에 즉각적으로 미치지 못하게 된다. 따라서, 이전의 플립플롭의 출력에 의해 다음 플립플롭이 동작하고, ‘물결처럼’ 퍼져나가기 때문에 리플 카운터(ripple counter)라고 불리기도 한다.

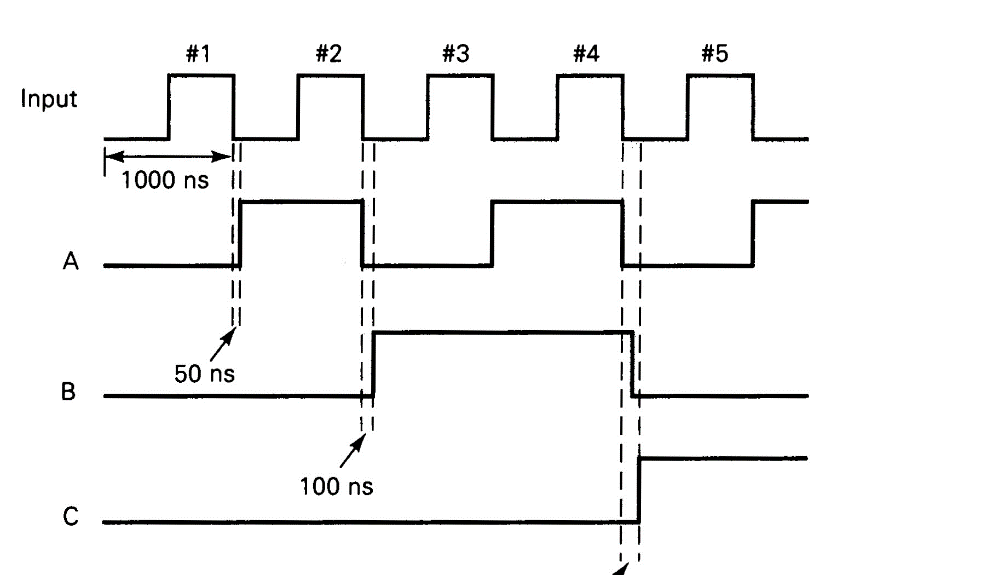
아래 <그림 a>의 동기 카운터에서는 처음에 두 플립플롭이 모두 0 상태인 리셋으로 되어 있고, 첫 번째 클럭 펄스가 인가되면 첫 번째 플립플롭이 토글되면서 출력이 high가 되고 두 번째 플립플롭은 입력에서부터 출력 상태의 실질적 변경까지의 지연 때문에 토글되지 않는다. 따라서 두 번째 플립플롭의 출력 상태에 변화가 없다. 두 번째 클럭 펄스가 인가되면, 첫 번째 플립플롭이 다시 토글되며 출력이 low가 된다. 첫 번째 플립플롭으로부터 high의 출력이 있기 때문에, 두 번째 플립플롭이 토글되며 출력이 high가 된다.

2단 카운터의 경우, 네 번의 클럭 펄스 뒤에는 카운터가 원래 상태로 돌아간다. 만약 3단으로 이루어진 동기 카운터가 있다면, 8번의 클럭 펄스 뒤에 카운터가 원래 상태로 돌아가게 될 것이다. 이러한 관찰 결과로부터, n단으로 이루어진 2진 카운터는 클럭 주파수를 2n으로 나눈다는 특징을 알아낼 수 있다. 예를 들어, 앞서 실험한 J-K 플립플롭과 J-K 플립플롭 두 개로 만든 리플 카운터의 주파수를 생각해보면 1단으로 구성된 J-K 플립플롭의 출력 신호 주파수는 클럭 주파수를 2로 나눈 0.5 Hz였고, 2단으로 구성된 리플 카운터의 출력 신호 주파수는 클럭 주파수를 22=4로 나눈 0.25 Hz였다.

<그림 a> 2단 동기식 카운터, 2단 동기식 카운터에 대한 입력 및 출력 파형

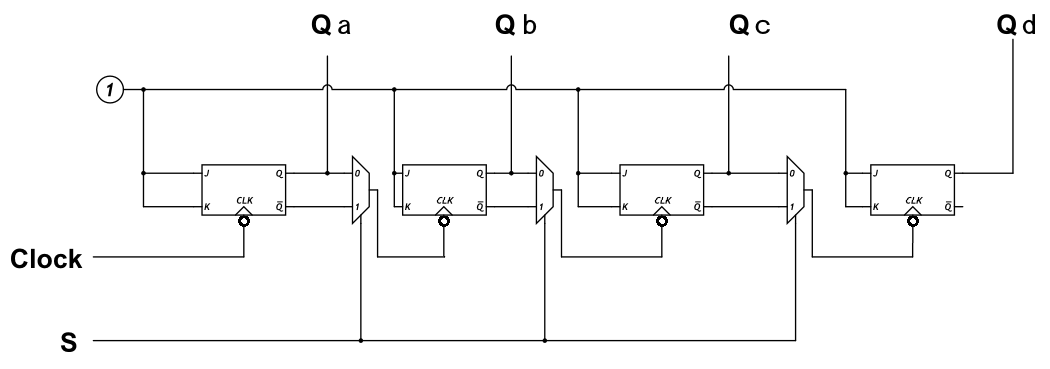
아래 <그림 b>는 3단 2진 비동기식 카운터로, 첫 번째 단의 CLK이 1에서 0으로 바뀔 때, A가 트리거되어 이 플립플롭이 상태 0에 있었다면 상태 1로 바꾼다. A의 출력이 0에서 1로 천이되며 B의 클럭 입력은 아무런 영향도 받지 않는다. 그 다음, 클럭 펄스에 의해 첫 번째 단의 CLK에 인가되는 신호의 값이 0에서 1로 바뀌면, A가 1에서 0으로 바뀌게 되고 이는 두 번째 단의 클럭 입력으로 들어가게 된다. 이때, J와 K는 1이므로 플립플롭 B는 상태가 변하게 되지만 클럭 에지에서 출력 변화까지의 지연 때문에, 플립플롭 B는 A에 비해 조금 늦게 클럭이 작용하게 되며, 그 출력도 그만큼 늦게 변하게 된다. 플립플롭 C의 경우, 첫 번째 단의 세 번째의 클럭 입력이 인가되면서 트리거 되는데 이것 또한 마찬가지로 <그림 c>와 같이, 플립플롭 A와 B에서의 전달 지연시간으로 인해 출력 상태가 늦게 변한다. 다만, 비동기식 카운터의 경우, CLK에 인가되는 신호가 꼭 클럭일 필요가 없기 때문에 신호가 비정기적으로 발생할 수도 있고, A, B, C 이외에도 더 많은 플립플롭을 연결하게 될 경우 앞의 플립플롭들에서 발생한 전달 지연시간으로 인해 지연이 매우 커질 수도 있다. 동기식 카운터에서도 확인하였듯이, 시스템의 상태가 모든 플립플롭이 상태천이를 마쳐야만 확정되므로 카운터를 구성하고 있는 모든 플립플롭의 지연만큼 기다려야 하는데 카운터의 규모가 커지거나 빠른 클럭을 사용하게 되면 다음 네가티브 클럭 천이 이후까지 최종 상태가 확정되지 않을 수 있고 다음 클럭에서 시스템의 다른 부분에서 그 카운터의 상태값을 사용할 수 없게 된다는 단점이 있다. 또한, 의도하지 않은 잘못된 상태를 출력으로 내보낼 수 있다는 가능성이 있다.



<그림 b> 3단 비동기식 카운터

<그림 c> 3단 비동기식 카운터에서의 전달 지연시간(propagation delay time)

카운터에는 상향 카운터(up counter)와 하향 카운터(down counter)가 있고, 본 실험에서 다루게 될 상향 카운터는 각 플립플롭이 클럭 펄스의 하강 에지에 의해 트리거 되고 반면, 하향 카운터는 각 플립플롭이 클럭 펄스의 상승 에지에 의해 트리거 된다는 차이가 있다.



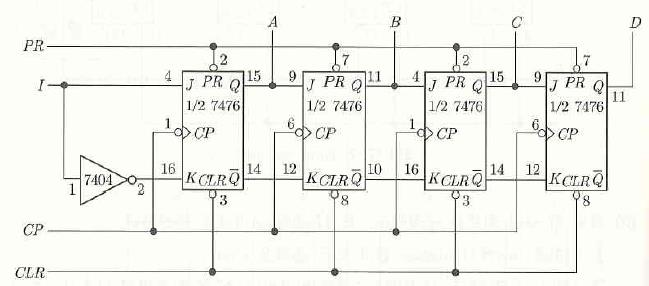
<그림 d> 4비트 비동기식 상, 하향 카운터

위의 <그림 d>에서 각 플립플롭 사이에 있는 사다리꼴 모양의 소자를 MUX라고 하는데 이 MUX에 0을 입력하면 다음 플립플롭의 클럭으로 Q가 인가되어 하강 에지일 때 트리거 되는 상향 카운터로 동작하고, 반대로 MUX에 1을 입력하면 다음 플립플롭의 클럭으로 Q’이 인가되어 상승 에지일 때 트리거 되는 하향 카운터로 동작하게 되는 것이다.

10진 카운터는 카운트 순서에서 10개의 상태를 갖는 카운터로, 일반적인 3단 10진 카운터의 경우, 2진화 10진수 순차를 만들어내는 BCD 카운터이다. 본 실험에서 알아볼 2진 카운터는 모두 4단 카운터이므로, BCD 카운터가 아니라 0000부터 1111까지 4비트 2진수를 순차적으로 출력하는 상향 카운터이다.

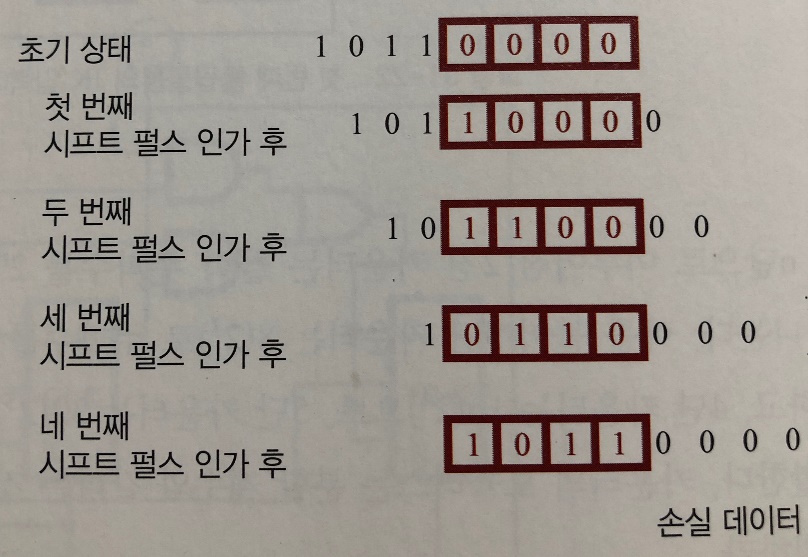
1. 시프트 레지스터

시프트 레지스터(shift resister)는 데이터를 임시 저장하기 위해 널리 사용되는 순차 논리 회로이다. 병렬 또는 직렬 형식으로 데이터를 시프트 레지스터에 입력하거나 출력할 수 있고, 한 번에 1비트씩 데이터를 한 저장 매체에서 다른 저장 매체로 옮길 수 있다는 특징으로 인해 다양한 논리 연산을 수행하는 데에 있어서 유용하게 사용된다. 플립플롭은 리셋되거나, 프리셋되거나, 토글되거나, 1 또는 0으로 조절할 수 있기 때문에 레지스터가 필요로 하는 모든 기능을 가지기 때문에 시프트 레지스터를 구성하는 데 사용된다.



<그림 3> 4비트 시프트 right 레지스터

본 실험에서 사용되는 위의 <그림 3>의 회로는 J-K 플립플롭으로 구성된 전형적인 시프트 레지스터로 직렬 데이터와 그 보수가 A 플립플롭의 JK 입력에 인가되고, 다른 플립플롭은 이전의 플립플롭의 출력이 다음 입력에 연결된 종속적인 연결구조를 갖는다. 모든 플립플롭의 토글은 함께 연결되며, 클럭 펄스가 이 라인에 인가되므로 모든 플립플롭이 동시에 토글되는 동기식 카운터이다. 또한 각 플립플롭의 클리어 입력이 함께 연결되어 리셋 라인을 구성한다. 입력에 인가되는 데이터는 플립플롭을 통해 각 클럭 펄스당 1비트 자리씩 이동된다. 예를 들어, 2진수 1011이 시프트 레지스터의 입력에 인가되고 시프트 펄스가 인가되면, 시프트 레지스터에 저장된 수는 외부에서 숫자가 이동되어 들어오는 동안 밖으로 이동되어 소실된다.



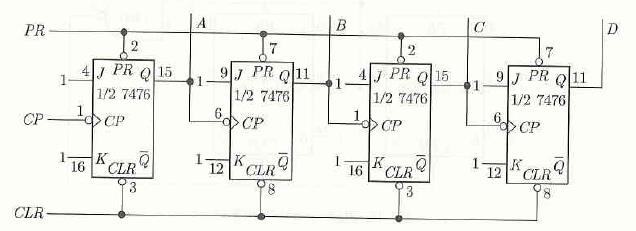
<그림 e> 시프트 레지스터에 숫자를 저장하는 단계

시프트 레지스터의 가장 일반적인 응용 사례 중 하나는 직렬에서 병렬로, 또는 병렬에서 직렬로의 데이터 변환이다. 직렬에서 병렬 데이터 변화의 경우, 클럭 펄스가 주어지면 데이터가 시프트 레지스터로 이동하고, 데이터가 시프트 레지스터로 들어오면 개별 플립플롭의 출력이 동시에 감시되고 데이터는 목적지로 이동하게 된다. 이 외에도, 시프트 레지스터는 곱셈이나 나눗셈과 같은 수학적 연산을 수행할 수 있다.

1. 실험 장비 및 재료
2. 실험 장비
3. NI ELVIS
4. 오실로스코프: PHILIPS 60 MHz Digital Storage Oscilloscope PM3335
5. 함수발생기: EZ FG-8002
6. DC power supply
7. 실험 재료
8. 저항, 커패시터
9. 7400, 7404, 7408, 7411, 7474, 7476, 74121, 74153
10. 555 타이머
11. 실험 방법
12. 비동기식, 동기식 카운터

카운터의 종류에는 동기(synchronous) 카운터와 비동기(asynchronous) 카운터가 있다. 이 중 동기 카운터는 모든 플립플롭들에게 동시에 같은 클럭 신호를 인가함으로써 여러 개의 플립플롭들이 동시에 상태가 변화하는 카운터를 말한다. 반면, 비동기 카운터는 공통의 기준 클럭 펄스를 사용하지 않아서 카운터 내의 플립플롭의 상태가 동시에 변화하지 않는 카운터를 말한다. 또한 비동기식 카운터는 첫 단의 플립플롭에 클럭 신호가 인가되어 이 첫 단 플립플롭의 출력이 다음 단의 플립플롭을 트리거 시키도록 되어 있으며, 클럭의 영향이 물결처럼 다음 단으로 파급된다는 뜻에서 리플 카운터(ripple counter)라고도 부른다.

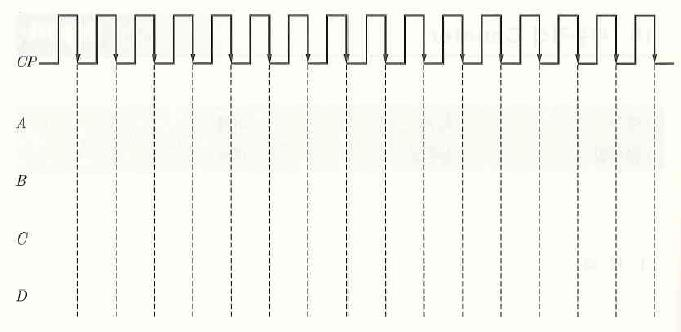
아래 <그림 1>의 회로를 구성하고 아래의 진리표와 timing diagram을 작성한다. CLR을 0에서 1로 하고, PR을 1로 한 후, CP에 1 Hz의 펄스파를 인가하여(NI ELVIS의 FGEN를 이용하여 사각파, 5.0 Vpp, dc offset 2.5 V로 펄스파를 인가하자) 출력 상태를 기록하면 된다. 이때, 본 실험에서의 모든 회로의 진리표와 timing diagram은 아래와 같은 형식으로 작성하면 된다.



<그림 1> up 리플 카운터

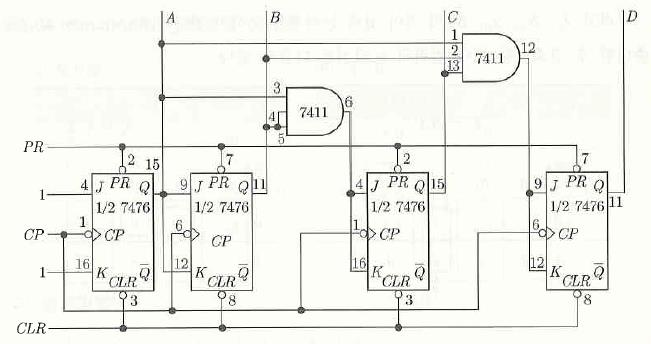
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 클럭의 수 | D | C | B | A | 10진수 |
| 0 |  |  |  |  |  |
| 1 |  |  |  |  |  |
| 2 |  |  |  |  |  |
| 3 |  |  |  |  |  |
| 4 |  |  |  |  |  |
| 5 |  |  |  |  |  |
| 6 |  |  |  |  |  |
| 7 |  |  |  |  |  |
| 8 |  |  |  |  |  |
| 9 |  |  |  |  |  |
| 10 |  |  |  |  |  |
| 11 |  |  |  |  |  |
| 12 |  |  |  |  |  |
| 13 |  |  |  |  |  |
| 14 |  |  |  |  |  |
| 15 |  |  |  |  |  |
| 16 |  |  |  |  |  |

<표 1> <그림 1> 회로의 진리표



<그림 1-1> <그림 1> 회로의 timing diagram

<그림 1>과 같은 비동기식 카운터는 회로가 간단하다는 장점이 있으나 클럭이 순차적으로 전달되기 때문에 각 단(stage)간에 지연시간(delay)가 있다. 따라서, CP에 인가하는 사각파의 주파수를 높여가며 이를 확인해보도록 한다.

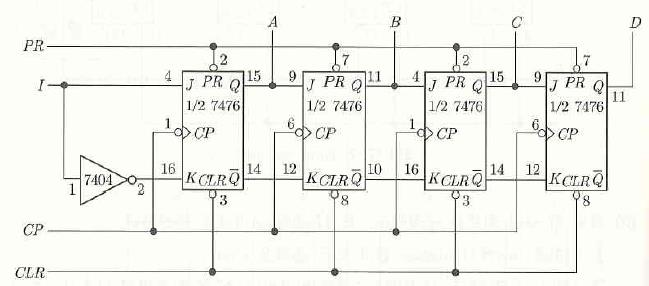
그 다음으로는, 아래 <그림 2>의 동기식 카운터를 구성하고 <그림 1>의 회로와 마찬가지로 결과 데이터를 기록한다. 고주파수 클럭에서의 동작을 비동기식 카운터와 비교한다.

<그림 2> 동기식 up 카운터

1. 시프트 레지스터

시프트 레지스터(shift resister)는 플립플롭으로 구성되며, 디지털 시스템에서 데이터의 전송과 저장에 관련된 응용분야에서 중요하게 이용된다. 카운터와 달리, 레지스터는 특별한 경우를 제외하고는 특정한 상태 순서를 가지고 있지 않다. 일반적으로 레지스터는 외부에서 입력되는 데이터를 저장하고, 이를 전달하는 목적으로 이용된다.

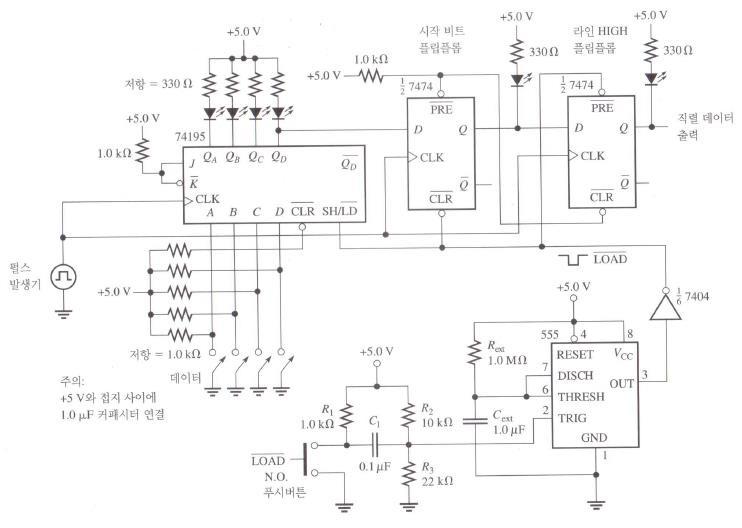
아래 <그림 3>의 회로를 구성하고, 아래 진리표와 timing diagram을 작성한다. 이때, CLR을 0에서 1로 하고, PR을 1로 설정한다.



<그림 3> 4비트 시프트 right 레지스터

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 클럭의 수 | I | A | B | C | D |
| 0 | 0 or 1 |  |  |  |  |
| 1 | 1 |  |  |  |  |
| 2 | 1 |  |  |  |  |
| 3 | 1 |  |  |  |  |
| 4 | 1 |  |  |  |  |
| 5 | 0 |  |  |  |  |
| 6 | 0 |  |  |  |  |
| 7 | 0 |  |  |  |  |
| 8 | 0 |  |  |  |  |

<표 2> <그림 3> 회로의 진리표

그 다음으로는, 비동기 데이터 전송 회로인 <그림 4>의 회로를 구성한다. 이 회로는 한 개의 시작 비트와 네 개의 데이터 비트를 전송한다. 데이터 스위치를 임의의 패턴으로 설정하고, 펄스 발생기는 1 Hz로 설정한 후에 푸시버튼을 누른다. 이때의 결과를 timing diagram으로 그려본다. 이렇게 얻은 timing diagram은 와 직렬 데이터 출력 사이의 관계에 대하여 그려진다. 이 후, 펄스 발생기의 주파수를 10 kHz로 설정하고 그때의 출력을 오실로스코프로 관찰한다. 자동적으로 데이터를 적재하기 위해서 대략 1 kHz의 주파수와 80%의 듀티 사이클을 갖는 비안정 멀티바이브레이터로 동작하도록 555 타이머 부분의 회로를 변경한다. (연산증폭기 (2) 실험 관련 내용을 참조하여 변경한다.) 송신기가 데이터를 전송한 후에 시프트 레지스터가 모두 1로 적재(load)된다. 이러한 일이 발생하게 되는 이유에 대해서도 생각해보도록 한다.

<그림 4> 비동기식 데이터 송신기

1. 참고문헌

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 268-279

-Alan B. Marcovitz, Introduction to logic design, 3판, McGraw-Hill Higher Education, 2009년, pg. 417-432